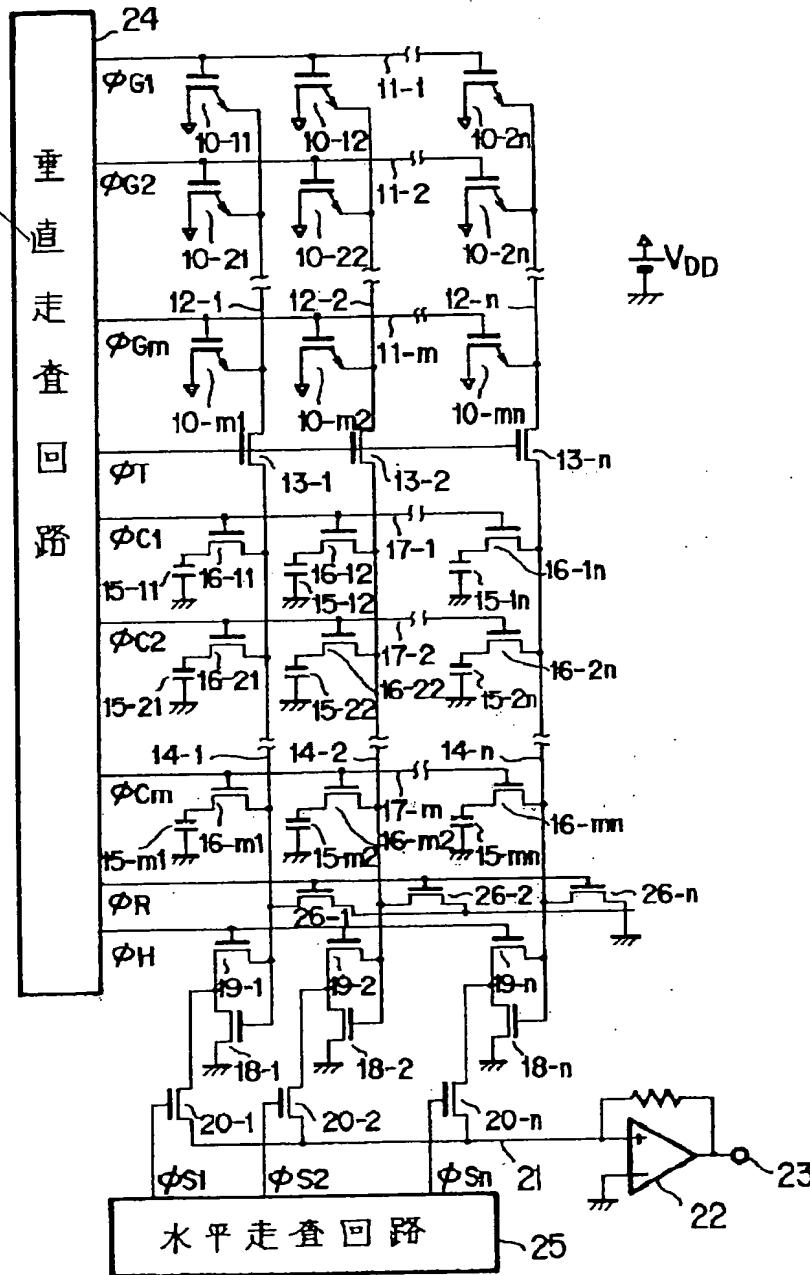


[FIG. 1]

【図1】

Vertical
scanning
circuit



Horizontal scanning
circuit

THIS PAGE BLANK (USPTO)

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-217203

(43)Date of publication of application : 05.08.1994

(51)Int.Cl.

H04N 5/335

H01L 27/146

(21)Application number : 05-007725

(71)Applicant : OLYMPUS OPTICAL CO LTD

(22)Date of filing : 20.01.1993

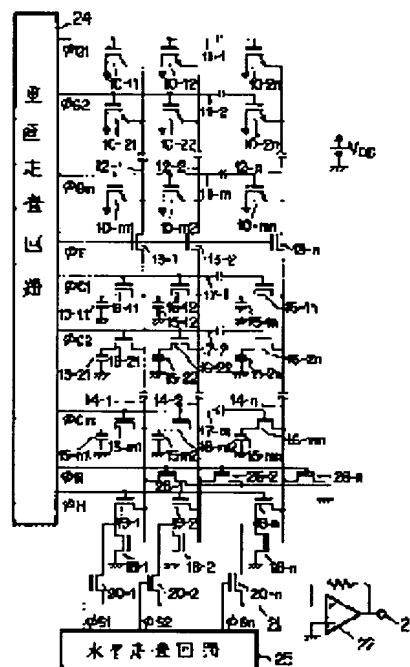
(72)Inventor : YAMADA HIDETOSHI

(54) SOLID STATE IMAGE PICKUP DEVICE

(57)Abstract:

PURPOSE: To provide the solid state image pickup device which can pick up an image in a short storage period by simple structure, and start and end the storage of all pixels at the same timing.

CONSTITUTION: The solid state image pickup device consists of a pixel group formed by arranging pixels 10-11 to 10-mn composed of amplification type photodetecting elements in matrix, plural row lines 11-1 to 11-m to which the gates of the pixels arranged in an X direction in the pixel group are connected in common, plural column lines 12-1 to 12-n to which the sources of the pixels arrayed in a Y direction in the pixel group are connected in common, a storage part where storage cells (capacitor) 15-11 to 15-mn storing video signals of the respective pixels on the respective row lines are arranged in matrix, a vertical scanning circuit 24 which applies a pixel read signal to the row lines in order, and a horizontal scanning circuit 25 which outputs a driving signal for outputting video signal currents stored in the respective storage cells in order.



LEGAL STATUS

[Date of request for examination] 19.01.2000

[Date of sending the examiner's decision of rejection] 08.04.2003

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's]

THIS PAGE BLANK (USPTO)

decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-217203

(43) 公開日 平成6年(1994)8月5日

(51) Int.Cl.⁵

H 0 4 N 5/335

H 0 1 L 27/146

識別記号

E

庁内整理番号

7210-4M

F I

H 0 1 L 27/ 14

技術表示箇所

A

審査請求 未請求 請求項の数 1 O L (全 12 頁)

(21) 出願番号 特願平5-7725

(22) 出願日 平成5年(1993)1月20日

(71) 出願人 000000376

オリンパス光学工業株式会社

東京都渋谷区幡ヶ谷2丁目43番2号

(72) 発明者 山田 秀俊

東京都渋谷区幡ヶ谷2丁目43番2号 オリ

ンパス光学工業株式会社内

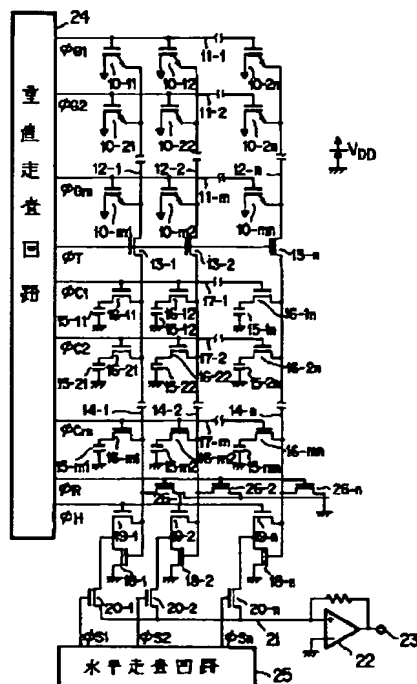
(74) 代理人 弁理士 鈴江 武彦

(54) 【発明の名称】 固体撮像装置

(57) 【要約】

【目的】 本発明は、簡単な構造で短い蓄積期間で撮像可能で、且つ全画素が同タイミングで蓄積開始・終了可能な固体撮像装置を提供することを目的とする。

【構成】 本発明は、増幅型受光素子からなる画素10-11~10-mnをマトリックス状に配置した画素群と、前記画素群のX方向に配列された画素のゲートをそれぞれ共通に接続した複数の行ライン11-1~11-mと、前記画素群のY方向に配列された画素のソースをそれぞれ共通に接続した複数の列ライン12-1~12-nと、前記各行ラインの各画素の映像信号を記憶する記憶セル(キャパシタ)15-11~15-mnがマトリックス状に配置された記憶部と、前記各行ラインに順次、画素読み出し信号を印加する垂直走査回路24と、前記各記憶セルに記憶された映像信号電流を順次出力させる駆動信号を出力する水平走査回路25とで構成された固体撮像装置である。



【特許請求の範囲】

【請求項1】 増幅型受光素子からなる画素をマトリックス状に配置した画素群と、
前記画素群のX方向に配列された各画素のゲートを共通接続する複数の行ラインと、
前記画素群のY方向に配列された各画素のソースを共通接続する複数の列ラインと、
前記各行ラインの各画素の映像信号を記憶する複数の記憶セルがマトリックス状に配置された記憶部と、
前記各行ラインに順次、画素読み出し信号を印加する垂直走査回路と、
前記各記憶セルに記憶された映像信号電流を順次出力させる駆動信号を出力する水平走査回路とを具備し、
撮像装置内に設けられた画素群の各行ラインの電荷を記憶領域に同一タイミングで蓄積開始・終了することを特徴とする固体撮像装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、半導体技術を用いて光学像を電気信号に変換する固体撮像装置に関する。

【0002】

【従来の技術】 一般に、半導体装置からなる増幅型受光素子を画素として用いたCharge Modulation Device（以下CMDと称する）等の固体撮像装置がある。

【0003】 図9には、この従来のCMDを画素として用いた固体撮像装置の構成例を示す。このCMDは、各画素を構成するCMD 1-11, 1-12, ..., 1-mnをマトリックス状に配列し、その各ドレインには共通にビデオ電圧 V_D (>0)を印加する。X方向に配列された各行のCMD群のゲート端子は、行ライン2-1, 2-2, ..., 2-mにそれぞれ共通に接続し、Y方向に配列された各列のCMD群のソース端子は列ライン3-1, 3-2, ..., 3-nそれぞれ共通に接続する。列ライン3-1, 3-2, ..., 3-nは、それぞれ列選択用トランジスタ4-1, 4-2, ..., 4-nを介して、ビデオライン5に共通に接続する。

【0004】 前記ビデオライン5は、入力端が仮想接地された電流-電圧変換型のプリアンプ6に接続され、プリアンプ6の出力端7には負極性の映像信号が時系列で読み出される。

【0005】 また、行ライン2-1, 2-2, ..., 2-mは、垂直走査回路8に接続され、それぞれ信号 ϕ_{c1} , ϕ_{c2} , ..., ϕ_{cm} が印加される。列選択用トランジスタ4-1, 4-2, ..., 4-nのゲート端子は水平走査回路9に直接接続されて、それぞれ信号 ϕ_{s1} , ϕ_{s2} , ..., ϕ_{sn} が印加されるように構成されている。なお、各CMDは同一基板上に形成され、その基板には V_{SB} (<0)を印加するようになっている。

【0006】 図10は、図9に示した構成の固体撮像装置の動作を説明するための信号波形図である。この固体

撮像装置の行ライン2-1, 2-2, ..., 2-mに印加する信号 ϕ_{c1} , ϕ_{c2} , ..., ϕ_{cm} は、読み出しゲート電圧 V_{RD} 、リセット電圧 V_{RS} 、オーバーフロー電圧 V_{OF} 及び蓄積電圧 V_{ISF} よりなる。

【0007】 そして非選択行においては、映像信号の水平帰線期間 t_{BL} 中にはオーバーフロー電圧 V_{OF} 、水平映像有効期間 t_E 中には蓄積電圧 V_{ISF} となる。また、選択行においては、水平映像有効期間 t_E 中には読み出しゲート電圧 V_{RD} 、それに引き続く水平帰線期間 t_{BL} 中にはリセット電圧 V_{RS} になる。

【0008】 また、列選択用トランジスタ4-1, 4-2, ..., 4-nのゲート端子に印加する信号 ϕ_{s1} , ϕ_{s2} , ..., ϕ_{sn} は、列ライン3-1, 3-2, ..., 3-nを選択するための信号で、その低レベルは列選択用トランジスタ4-1, 4-2, ..., 4-nをオフし、その高レベルは列選択用トランジスタをオンする電圧値になるように設定されている。

【0009】 以上の構成の固体撮像装置において、信号 ϕ_{c1} が読み出し電圧となることにより第1行のCMDが選択され、続いて信号 ϕ_{s1} , ϕ_{s2} , ..., ϕ_{sn} がオンすることにより1-11, 1-12, ..., 1-1nからの信号電流が順次、ビデオラインを経由して読み出される。さらに、信号 ϕ_{c1} , ϕ_{c2} , ..., ϕ_{cm} が順次読み出し電圧とされ、その度、信号 ϕ_{s1} , ϕ_{s2} , ..., ϕ_{sn} がオンとなり、全画素の信号が順次読み出される。

【0010】

【発明が解決しようとする課題】 しかしながら、前述した従来の固体撮像装置においては、信号の読み出しが順次走査で行なわれるため、画素ごとに蓄積開始・終了のタイミングが異なってしまう。

【0011】 このようなタイミングが異なることは、動画を撮像し、そのまま再生するような用途には支障ないが、例えば、画像計測等の用途には支障がでる。すなわち、高速で移動する物体を計測するためには、短い露光期間で且つ同一時刻の画像を得る必要があるが、従来の固体撮像装置では、1つの画像を得るために定まった読出し時間を必要とするため、それ以下の短い露光期間では完全な1画像を得ることができない。

【0012】 この欠点を解決する固体撮像装置として、特開昭61-84058号公報に提案されるように、各画素毎に蓄積された電荷を増幅部に転送する固体撮像装置がある。しかし前記固体撮像装置では、画素の構造が複雑となり、また面積も大きくなるため高集積化が難しいという欠点がある。

【0013】 そこで本発明は、簡単な構造で短い蓄積期間で撮像可能であり、かつ全画素が同一タイミングで蓄積開始・終了可能な固体撮像装置を提供することを目的とする。

【0014】

【課題を解決するための手段】 本発明は上記目的を達成

3

するため、増幅型受光素子からなる画素をマトリックス状に配置した画素群と、前記画素群のX方向に配列された各画素のゲートを共通接続する複数の行ラインと、前記画素群のY方向に配列された各画素のソースを共通接続する複数の列ラインと、前記各行ラインの各画素の映像信号を記憶する複数の記憶セルがマトリックス状に配置された記憶部と、前記各行ラインに順次、画素読み出し信号を印加する垂直走査回路と、前記各記憶セルに記憶された映像信号電流を順次出力させる駆動信号を出力する水平走査回路とで構成され、撮像装置内に設けられた画素群の各行ラインの電荷を記憶領域に同一タイミングで蓄積開始・終了する固体撮像装置を提供する。

【0015】

【作用】以上のような構成の固体撮像装置は、受光部の各行ラインの電荷を蓄積する記憶領域を撮像装置内に設け、蓄積された電荷を列ラインを介して転送することにより、各画素がほぼ同じタイミングで蓄積開始・終了される。

【0016】

【実施例】以下、図面を参照して本発明の実施例を詳細に説明する。

【0017】図1に本発明による第1実施例としての固体撮像装置の構成を示し説明する。この固体撮像装置には各画素を構成するCMD10-11, 10-12, ..., 10-mnがマトリックス状に配列される。CMDの各ドレインには共通にビデオ電圧 V_{00} (>0) が印加される。X方向に配列された各行のCMD群のゲート端子は行ライン11-1, 11-2, ..., 11-mにそれぞれ共通に接続され、Y方向に配列された各列のCMD群のソース端子は列ライン12-1, 12-2, ..., 12-nにそれぞれ共通に接続されている。列ライン12-1, 12-2, ..., 12-nは、それぞれ転送トランジスタ13-1, 13-2, ..., 13-nを介して蓄積列ライン14-1, 14-2, ..., 14-nに接続されている。

【0018】各蓄積列ライン14-1, 14-2, ..., 14-nには、マトリックス状に配列されたキャパシタ15-11, 15-12, ..., 15-mnがセル選択トランジスタ16-11, 16-12, ..., 16-mnを介して接続され、蓄積部を形成している。セル選択トランジスタ16-11, 16-12, ..., 16-mnのゲートは蓄積行ライン17-1, 17-2, 17-mに接続されている。

【0019】そして蓄積列ライン14-1, 14-2, ..., 14-nの一端は、列読み出しトランジスタ18-1, 18-2, ..., 18-nのゲートに接続されるとともに、蓄積選択トランジスタ19-1, 19-2, ..., 19-nを介して列読み出しトランジスタ18-1, 18-2, ..., 18-nのドレインにも接続されている。前記列読み出しトランジスタ18-1, 18-2, ...,

4

18-nのドレインは、さらに列選択トランジスタ20-1, 20-2, ..., 20-nを介して、ビデオライン21に共通に接続されている。ビデオライン21は入力が仮想接地された電流-電圧変換型のプリアンプ22に接続され、前記プリアンプ22の出力端23には映像信号が時系列で読み出されるようになっている。

【0020】また、行ライン11-1, 11-2, ..., 11-mは垂直走査回路24に接続されて、それぞれ信号 ϕ_{c1} , ϕ_{c2} , ..., ϕ_{cm} が印加される。また蓄積行ライン17-1, 17-2, 17-mは、同じく垂直走査回路24に接続されて、それぞれ信号 ϕ_{c1} , ϕ_{c2} , ..., ϕ_{cm} が印加される。転送トランジスタ13-1, 13-2, ..., 13-nのゲートには、信号 ϕ_r が印加され、また蓄積選択トランジスタ19-1, 19-2, ..., 19-nのゲートには信号 ϕ_s が印加される。

【0021】そして列選択トランジスタ20-1, 20-2, ..., 20-nのゲート端子は水平走査回路25に直接接続され、それぞれ信号 ϕ_{s1} , ϕ_{s2} , ..., ϕ_{sn} が印加されるように構成されている。さらに蓄積列ライン14-1, 14-2, ..., 14-nは、リセットトランジスタ26-1, 26-2, ..., 26-nを介して接地されたラインに接続されている。リセットトランジスタ26-1, 26-2, ..., 26-nのゲートには垂直走査回路24から共通に信号 ϕ_{rs} が印加される。次に図2には、図1に示した構成の固体撮像装置の各点の信号波形図を示し動作を説明する。

【0022】ここで、行ライン11-1, 11-2, ..., 11-mに印加する信号 ϕ_{c1} , ϕ_{c2} , ..., ϕ_{cm} は、読み出しゲート電圧 V_{00} 、リセット電圧 V_{rs} 、オーバーフロー電圧 V_{of} 及び蓄積電圧 V_{isr} よりなる。通常は、蓄積電圧 V_{isr} であり、映像信号の水平帰線期間 t_{HBL} 中はオーバーフロー電圧 V_{of} となる。垂直帰線期間 t_{VBL} 中は選択行毎に読み出しゲート電圧 V_{00} をとり、それに引き続き全行同時にリセット電圧 V_{rs} となる。

【0023】まず全行ライン11-1, 11-2, ..., 11-mへの ϕ_c が同時にリセット電圧となることで、すべてのCMDがリセットされる。この後、行ライン信号が蓄積電圧 V_{isr} となり、光電荷の蓄積が開始される。光が入射した画素では、生成した電子正孔対のうち正孔がCMDのゲート下に蓄積される。このためCMDのゲート下の電位は光量に応じて上昇する。

【0024】所定の蓄積時間の後、各画素の信号が読み出される。信号 ϕ_r , ϕ_s が“Hi”とされ、まず ϕ_{c1} が読み出し電圧、 ϕ_{c1} が“Hi”とされる。これによりCMD10-11, 10-12, ..., 10-1nが選択され、それぞれの画素の蓄積電荷に応じた信号電流が生じ、それぞれ列ライン12-1, 12-2, ..., 12-n、蓄積列ライン14-1, 14-2, ..., 14-nを経由して、キャパシタ15-11, 15-12, ..., 15-1nを充電する。

5

【0025】この時に、蓄積選択トランジスタ19-1, 19-2, ..., 19-nがオンしているため、列読み出しトランジスタ18-1, 18-2, ..., 18-nにも電流が生じる。そしてCMD10-11の電流と列読み出しトランジスタ18-1の電流が等しくなった時点で、キャパシタ15-11への充電が止まり、画素信号と等しい電流を与える電位が記憶される。

【0026】同様に、CMD10-12, 10-13, ..., 10-1nの信号がキャパシタ15-12, 15-13, ..., 15-1nに同時に蓄積される。続いて ϕ_{c2} 10が読み出し電圧、 ϕ_{c2} が“Hi”となり、同様の動作によりCMD10-21, 10-22, ..., 10-2nの信号がキャパシタ15-21, 15-22, ..., 15-2nに同時に蓄積される。

【0027】以下、 $\phi_{c3} \cdot \phi_{c3}$, $\phi_{c4} \cdot \phi_{c4}$, ..., $\phi_{cn} \cdot \phi_{cn}$ がオンになるとともに3行目、4行目、..., m行目の画素信号が蓄積部のキャパシタに転送される。

【0028】そして、転送が終了した後、 ϕ_r がオフされ、蓄積部から順次信号が読み出される。まず ϕ_{c1} がオンとなり、列読み出しトランジスタ18-1, 18-2, ..., 18-nのゲートが、キャパシタ15-1, 15-2, ..., 15-nにそれぞれ接続される。ここで信号 ϕ_{s1} が“Hi”となることで、列読み出しトランジスタ18-1に画素10-11の信号電流と等しい電流が吸い込まれる。この電流がビデオライン21を經由して、プリアンプ22で電圧に変換され、画素10-11の信号となる。続いて信号 ϕ_{s2} が“Hi”となることで列読み出しトランジスタ18-2に画素10-12の信号電流が吸い込まれる。 20

【0029】以下、 ϕ_{s3} , ϕ_{s4} , ..., ϕ_{sn} が“Hi”となることで1行目の信号読み出しが行なわれる。続いて ϕ_{c2} が“Hi”となることで2行目が選択され、 ϕ_{s1} , ϕ_{s2} , ..., ϕ_{sn} が“Hi”となることで画素10-21, 10-22, ..., 10-2nの信号が順次読み出される。以下、 ϕ_{c3} , ϕ_{c4} , ..., ϕ_{cn} がオンになると共に3行目、4行目、..., m行目の画素信号が順次読み出される。なお各行の読み出しの最後には、 ϕ_{rs} によりリセットトランジスタ26がオンとなり、蓄積列ライン14-1, 14-2, ..., 14-nが接地電位にされ、選択されている行のキャパシタがリセットされる。 30

【0030】以上、本発明の固体撮像装置においては、画素CMDから蓄積部への信号転送が垂直ブランキング期間内に一括しておこなわれる。各行ごとの転送期間もごく短くすることができるため、各画素の蓄積開始・終了のタイミングはほぼ同一と見なすことができ、よって短い蓄積期間で静止画像を撮像することができる。

【0031】次に図3には、本発明による第2実施例としての固体撮像装置の構成を示し説明する。ここで、第2実施例の構成部材で図1に示す構成部材と同等の部材には、同じ参照符号を付してその説明を省略する。この 50

6

固体撮像装置は、マトリックス状に配列された画素CMD10-11, 10-12, ..., 10-mn, X方向に配列された各行のCMD群のゲート端子を接続する行ライン11-1, 11-2, ..., 11-m, Y方向に配列された各列のCMD群のソース端子を接続する列ライン12-1, 12-2, ..., 12-nを備える。これらの列ライン12-1, 12-2, ..., 12-nは、それぞれ転送トランジスタ13-1, 13-2, ..., 13-nを介して、蓄積列ライン14-1, 14-2, ..., 14-nに接続される。

【0032】そして、各蓄積列ライン14-1, 14-2, ..., 14-nには、マトリックス状に配列されたキャパシタ15-11, 15-12, ..., 15-Lnがセル選択トランジスタ16-11, 16-12, ..., 16-Lnを介して接続され、蓄積部を形成している。セル選択トランジスタ16-11, 16-12, ..., 16-Lnのゲートは蓄積行ライン17-1, 17-2, ..., 17-lに接続されている。本実施例では蓄積部の行数lが画素マトリックスの行数mより多く設けられている。 20

【0033】また、前記蓄積列ライン14-1, 14-2, ..., 14-nの一端は、列読み出しトランジスタ18-1, 18-2, ..., 18-nのゲートに接続されると共に、蓄積選択トランジスタ19-1, 19-2, ..., 19-nを介して、列読み出しトランジスタ18-1, 18-2, ..., 18-nのドレインにも接続されている。列読み出しトランジスタ18-1, 18-2, ..., 18-nのドレインは、さらに列選択トランジスタ20-1, 20-2, 20-nを介してビデオライン21に共通に接続されている。 30

【0034】次にビデオライン21は入力が仮想接地された電流-電圧変換型のプリアンプ22に接続され、該プリアンプ22の出力端23には、映像信号が時系列で読み出されるようになっている。

【0035】また、行ライン11-1, 11-2, ..., 11-mは、垂直走査回路24に接続されて、それぞれ信号 ϕ_{c1} , ϕ_{c2} , ..., ϕ_{cn} が印加される。また蓄積行ライン17-1, 17-2, 17-lは、セレクト27に接続され、1行中の選択されたm行に対してそれぞれ信号 ϕ_{c1} , ϕ_{c2} , ..., ϕ_{cn} が印加される。さらにセレクト27は、垂直走査回路24およびROM(読み出し専用メモリ)28に接続されている。前記転送トランジスタ13-1, 13-2, ..., 13-nのゲートには、信号 ϕ_r が印加され、また蓄積選択トランジスタ19-1, 19-2, ..., 19-nのゲートには信号 ϕ_r が印加される。前記列選択トランジスタ20-1, 20-2, ..., 20-nのゲート端子は、水平走査回路25に直接接続されて、それぞれ信号 ϕ_{s1} , ϕ_{s2} , ..., ϕ_{sn} が印加されるように構成される。さらに蓄積列ライン14-1, 14-2, ..., 14-nは、リセットトランジスタ 50

26-1, 26-2, ..., 26-mを介して接地されたラインに接続されている。

【0036】この第2実施例の固体撮像装置は、固体撮像装置が製作された段階で蓄積部の欠陥の有無を調査し、欠陥がある行に対しては予備の蓄積行と置き換えることにある。このため、蓄積部に多少の欠陥があるチップでも使用可能となる。固体撮像装置の動作に先だって、半導体テスト等により蓄積部のキャパシタやセル選択トランジスタの動作がチェックされる。結晶欠陥やリークにより動作不良がある場合にはその行が記録され、予備行と置き換えられる。垂直走査部のROM28に、この置き換え情報が記録される。

【0037】上記情報設定がなされた後、この固体撮像装置の動作は、基本的に第1実施例と同一である。全行ライン11-1, 11-2, ..., 11-mへの ϕ_c が同時にリセット電圧となることで、すべてのCMDがリセットされる。この後、行ライン信号が蓄積電圧 V_{int} となり、光電荷が蓄積される。所定の蓄積時間の後、各画素の信号が読み出される。信号 ϕ_r , ϕ_s が“Hi”にされ、まず ϕ_{c1} が読み出し電圧、 ϕ_{c1} が“Hi”にされる。これにより画素部の第1行が選択され、それぞれの画素の蓄積電荷に応じた信号電流が生じ、列ラインと蓄積列ラインを経由して該当する蓄積行（1行目に欠陥が無い場合には第1行、欠陥がある場合には置き換えられた行）のキャパシタを充電する。各列でCMDの電流と列読み出しトランジスタの電流が等しくなった時点で、キャパシタへの充電は止め、画素信号と等しい電流を与える電位が記憶される。以下、 $\phi_{c2} \cdot \phi_{c2}$, $\phi_{c3} \cdot \phi_{c3}$, ..., $\phi_{cn} \cdot \phi_{cn}$ がオンになるとともに3行目、4行目、..., m行目の画素信号が蓄積部のキャパシタに転送される。以上のように第2実施例の固体撮像装置では、蓄積部に多少の欠陥があるチップでも使用可能となり、歩留りが向上してコストが安くなる。

【0038】次に図4には、本発明による第3実施例としての固体撮像装置の構成を示し説明する。ここで、第3実施例の構成部材で図1に示す構成部材と同等の部材には、同じ参照符号を付してその説明を省略する。

【0039】この固体撮像装置は、マトリックス状に配列された画素CMD10-11, 10-12, ..., 10-mn, X方向に配列された各行のCMD群のゲート端子を接続する行ライン11-1, 11-2, ..., 11-m, Y方向に配列された各列のCMD群のソース端子を接続する列ライン12-1, 12-2, ..., 12-nを備える。列ライン12-1, 12-2, ..., 12-nは、それぞれ転送トランジスタ13-1, 13-2, ..., 13-nを介して蓄積列ライン14-1, 14-2, ..., 14-nに接続されている。

【0040】各蓄積列ライン14-1, 14-2, ..., 14-nには、マトリックス状に配列されたキャパシタ15-11, 15-12, ..., 15-mnがセル選択ト

ランジスタ16-11, 16-12, ..., 16-mnを介して接続され、蓄積部を形成している。セル選択トランジスタ16-11, 16-12, ..., 16-mnのゲートは、蓄積行ライン17-1, 17-2, ..., 17-mに接続される。

【0041】前記蓄積行ライン14-1, 14-2, ..., 14-nの一端は、列読み出しトランジスタ18-1, 18-2, ..., 18-nのゲートに接続されると共に、蓄積選択トランジスタ19-1, 19-2, ..., 19-nを介して、列読み出しトランジスタ18-1, 18-2, ..., 18-nのドレインにも接続されている。前記列読み出しトランジスタ18-1, 18-2, ..., 18-nのドレインはさらに列選択トランジスタ20-1, 20-2, ..., 20-nを介してビデオライン21に共通に接続される。このビデオライン21は、入力が仮想接地された電流-電圧変換型のプリアンプ22に接続され、プリアンプ22の出力端23には映像信号が時系列で読み出されるようになっている。

【0042】また、行ライン11-1, 11-2, ..., 11-mは垂直走査回路24に接続されて、それぞれ信号 ϕ_{c1} , ϕ_{c2} , ..., ϕ_{cn} が印加される。また蓄積行ライン17-1, 17-2, 17-1にはそれぞれ信号 ϕ_{c1} , ϕ_{c2} , ..., ϕ_{cn} が印加される。転送トランジスタ13-1, 13-2, ..., 13-nのゲートには信号 ϕ_r が、また蓄積選択トランジスタ19-1, 19-2, ..., 19-nのゲートには信号 ϕ_s がそれぞれ印加される。列選択トランジスタ20-1, 20-2, ..., 20-nのゲート端子は水平走査回路25に直接接続されて、それぞれ信号 ϕ_{s1} , ϕ_{s2} , ..., ϕ_{sn} が印加されるように構成されている。さらに蓄積列ライン14-1, 14-2, ..., 14-nはリセットトランジスタ26-1, 26-2, ..., 26-nを介して接地されたラインに接続されている。

【0043】前記列ライン12-1, 12-2, ..., 12-nには、電流記憶回路30-1, 30-2, ..., 30-nが接続されている。各電流記憶回路には垂直走査回路24から信号 ϕ_{r1} , ϕ_{r2} および ϕ_r が印加される。ここで図5に電流記憶回路の構成を示す。

【0044】この電流記憶回路は、ドレインが列ライン12に接続されたトランジスタ31と、トランジスタ32とはカレントミラー回路を構成する。トランジスタ31とトランジスタ32のゲートは相互接続されており、またトランジスタ34を介してキャパシタ35が接続されている。前記トランジスタ32のドレインは、トランジスタ40を介してPチャネルトランジスタ36のドレインに接続される。

【0045】前記Pチャネルトランジスタ36のドレインはトランジスタ37を介してキャパシタ38に接続されている。キャパシタ38はPチャネルトランジスタ36のゲートとソース間に接続されている。トランジスタ

37のゲートには信号 ϕ_{r1} が、トランジスタ34のゲートには信号 ϕ_{r2} が印加される。

【0046】さらに、前記トランジスタ31のドレインは、トランジスタ33を介してトランジスタ31のゲートに、トランジスタ39を介してトランジスタ36のドレインにそれぞれ接続されている。前記トランジスタ39のゲートには、信号 ϕ_r が、またトランジスタ33およびトランジスタ40のゲートにはインバータ41から出力される ϕ_r の反転信号がそれぞれ印加される。

【0047】この第3実施例の固体撮像装置は、各画素の暗時の出力レベルを信号レベルから差し引いた情報を蓄積部に記録する。このため各画素の黒レベルのばらつきをキャンセルでき、固定パターンノイズの低減された出力を得ることができる。次に図6の信号波形図を参照して、このように構成された固体撮像装置の動作について説明する。

【0048】まず、画素部から蓄積部への信号転送は、前実施例と同様に垂直ブランキング期間 t_{vb1} におこなわれる。行ライン11-1への印加パルス ϕ_{c1} は、転送開始時に読み出し電圧 V_{rd} となり、このとき同時に信号 ϕ_{r1} が“H1”となる。このため1行目の各画素から読み出された信号電流は電流記憶回路30のカレントミラー回路で反転され、Pチャネルトランジスタ36に等しい電流が生ずると共にこの時のゲート電位がキャパシタ38に記憶される。続いて ϕ_{c1} がリセット電圧 V_{rs} となり、各画素の蓄積電荷がリセットされる。

【0049】さらに ϕ_{c1} が再び読み出し電圧 V_{rd} となり、各画素の黒レベルの信号が読み出されると共に、 ϕ_{r2} がオンになることにより黒レベルの信号電流がトランジスタ31に生じ、このゲート電位がキャパシタ35に記憶される。

【0050】この後 ϕ_{c1} 、 ϕ_r および ϕ_{r2} が“Hi”となり、電流記憶回路30から蓄積部への信号転送がおこなわれる（このとき ϕ_{c1} は蓄積電圧 V_{int} となり、画素からの信号は読み出されない）。前記電流記憶回路30のPチャネルトランジスタ36に画素の明時の信号電流が生じ、トランジスタ31に暗時の信号電流が生じる。両者の差に相当する電流が列ライン12、蓄積列ライン14を経由して読み出しトランジスタ18に生ずると共に、この電流を与えるゲート電位が蓄積部の1行目のキャパシタ15に記憶される。以上の動作が引き続き、2行目、3行目…、に対してもおこなわれ、黒レベルがキャンセルされた画素信号が蓄積部に記憶される。

【0051】この後は前述した各実施例と同様に、読み出しトランジスタのゲートに蓄積部のキャパシタに記憶された電位が各行毎に順次印加され、ビデオライン21、プリアンプ22を介して信号が読み出される。

【0052】この第3実施例では、各画素の暗時の出力レベルを信号レベルから差し引いた情報を蓄積部に記録でき、各画素の黒レベルのばらつきがキャンセルされて

固定パターンノイズの低減された出力を得ることができる。

【0053】次に図7には、本発明による第4実施例の固体撮像装置の構成を示し説明する。本実施例は、固体撮像装置と撮像された画像に対する処理とを機能的に一体化するものである。

【0054】この固体撮像装置は、マトリックス状に配列された画素CMD10-11, 10-12, ..., 10-mn, X方向に配列された各列のCMD群のゲート端子を接続する行ライン11-1, 11-2, ..., 11-m, Y方向に配列された各列のCMD群のソース端子を接続する列ライン12-1, 12-2, ..., 12-nを備える。列ライン12-1, 12-2, ..., 12-nは、それぞれ蓄積列ライン14-1, 14-2, ..., 14-nに接続されている。各蓄積列ライン14-1, 14-2, ..., 14-nおよび蓄積行ライン17-1, 17-2, ..., 17-mには、マトリックス状に配列された処理エレメント42-11, 42-12, ..., 42-mnが接続され、蓄積処理部を形成している。

【0055】ここで図8には、処理エレメントの構成を示す。この処理エレメントにおいては、蓄積列ライン14からの入力を選択トランジスタ16を介して信号保持回路44に記憶される。前記選択トランジスタ16のゲートは蓄積行ライン17に接続され、信号保持回路44は量子化回路45を介してプロセッサ46に接続されている。

【0056】このように構成された処理エレメントの動作を説明する。各画素で蓄積された信号電荷は受光部から蓄積部へ各行毎に順次転送される。すなわち画素CMDの電流は選択トランジスタ16により選択された処理エレメントの信号保持回路44で電流-電圧変換され、キャパシタに電位が保持される。この信号は量子化回路45で2値化あるいは2ビット・4ビット等のデジタル値に変換される。デジタイズされた信号はプロセッサ46に入力され、プロセッサ46では量子化回路45からの信号と近傍のプロセッサから転送される信号を用いて処理を行う。

【0057】ここでの処理としては、エッジ抽出・細線化処理・動物体検出・軌跡描画等があり、制御回路から与えられるインストラクションにより実行される。処理結果は各プロセッサから並列に出力される。

【0058】以上のように第4実施例の固体撮像装置は、該固体撮像装置と画像に対する処理とが機能的に一体化され、たとえば画像計測等の用途に好適であり、高速で移動する物体の画像を全画素ほぼ同一のタイミングで撮像し、計測のための処理をおこなうことが可能である。以上説明したように、本発明の固体撮像装置は、簡単な構造で短い蓄積期間での撮像ができ、かつ全画素ほぼ同じタイミングで蓄積開始・終了ができる。また本発明は、前述した実施例に限定されるものではなく、他に

11

も発明の要旨を逸脱しない範囲で種々の変形や応用が可能であることは勿論である。

【0059】

【発明の効果】以上詳述したように本発明によれば、簡単な構造で短い蓄積期間で撮像可能であり、かつ全画素が同タイミングで蓄積開始・終了可能な固体撮像装置を提供することができる。

【図面の簡単な説明】

【図1】本発明による第1実施例としての固体撮像装置の構成を示す図である。

【図2】図1に示した構成の固体撮像装置の各点の信号波形図である。

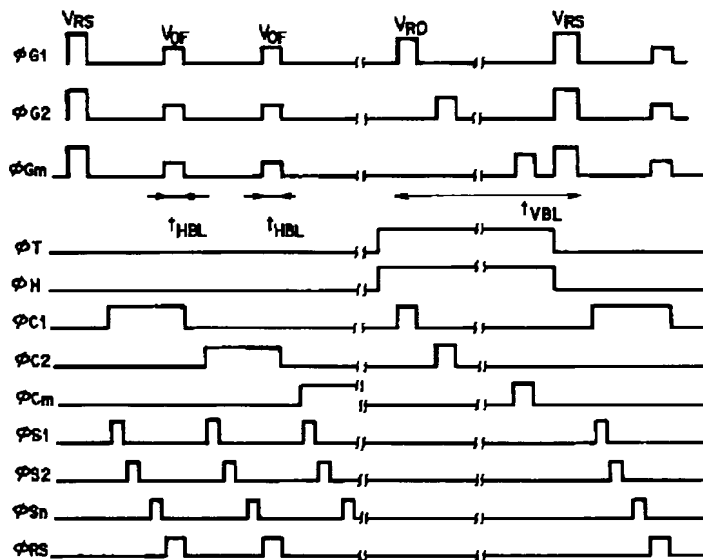
【図3】本発明による第2実施例としての固体撮像装置の構成を示す図である。

【図4】本発明による第3実施例としての固体撮像装置の構成を示す図である。

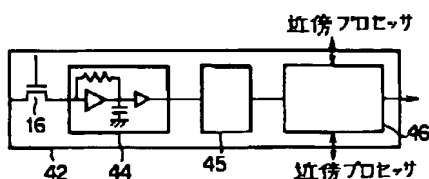
【図5】第3実施例の固体撮像装置の電流記憶回路の構成を示す図である。

【図6】第3実施例の固体撮像装置の動作を説明するための信号波形図である。

【図2】



【図8】



12

【図7】本発明による第4実施例としての固体撮像装置の構成を示す図である。

【図8】第4実施例の固体撮像装置の処理エレメントの構成を示す図である。

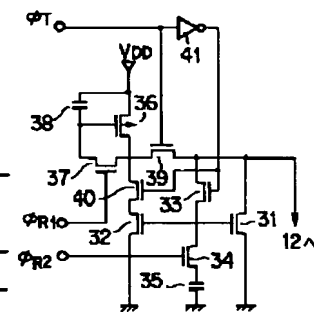
【図9】図9は、従来のCMDによる固体撮像装置の構成例を示す図である。

【図10】図10は、図9に示した構成の固体撮像装置の動作を説明するための信号波形図である。

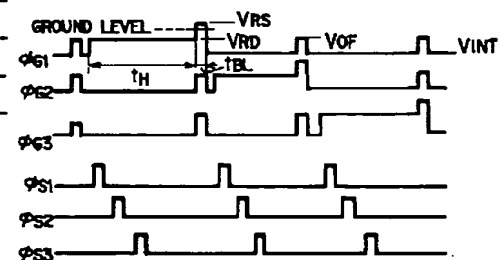
【符号の説明】

- 10 10-11~10-mn...Charge Modulation Device (CMD)、11-1~11-m...行ライン、12-1~12-n...列ライン、13-1~13-n...転送トランジスタ、14-1~14-n...蓄積列ライン、15-11~15-mn...キャパシタ、16-11~16-mn...セル選択トランジスタ、17-1~17-m...蓄積行ライン、18-1~18-n...列読み出しトランジスタ、19-1~19-n...蓄積選択トランジスタ、20-1~20-n...列選択トランジスタ、21...ビデオライン、22...プリアンプ、23...出力端、24...垂直走査回路、26-1~26-n...リセットトランジスタ。

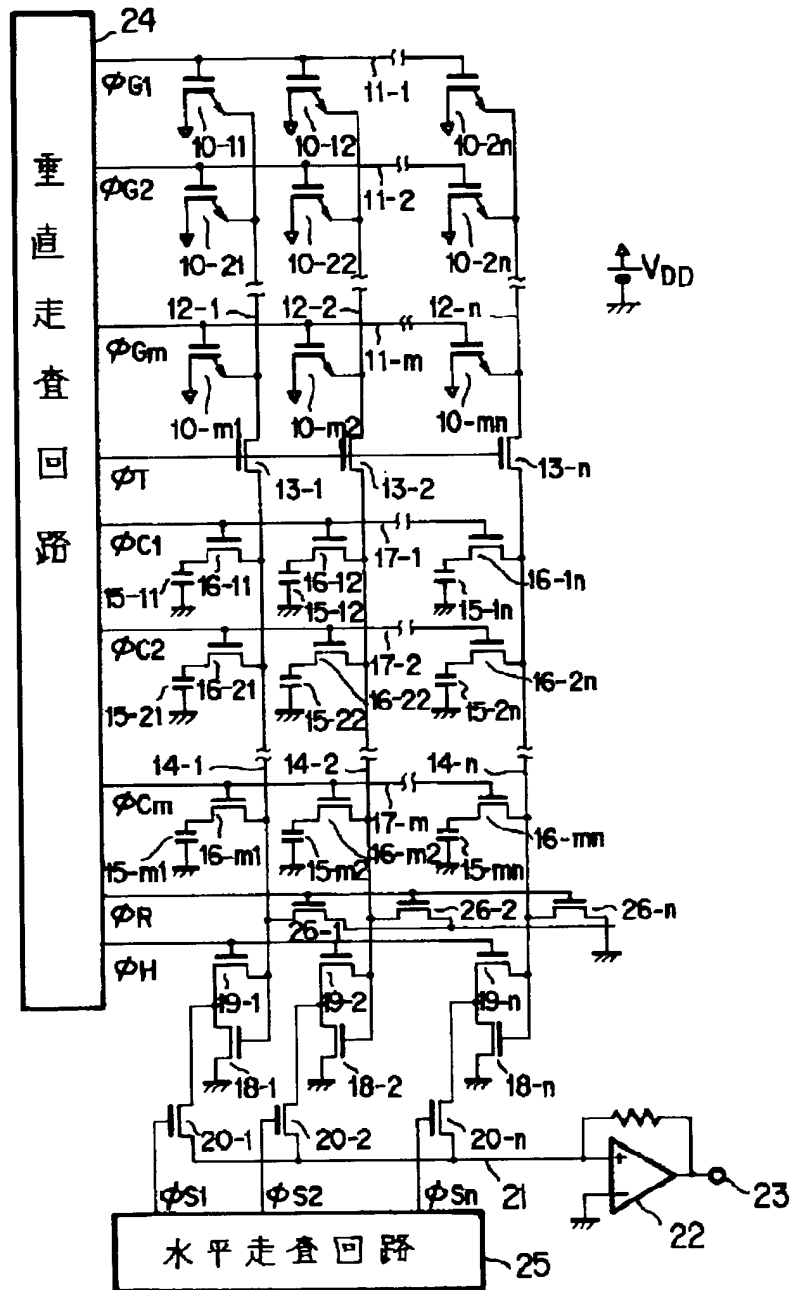
【図5】



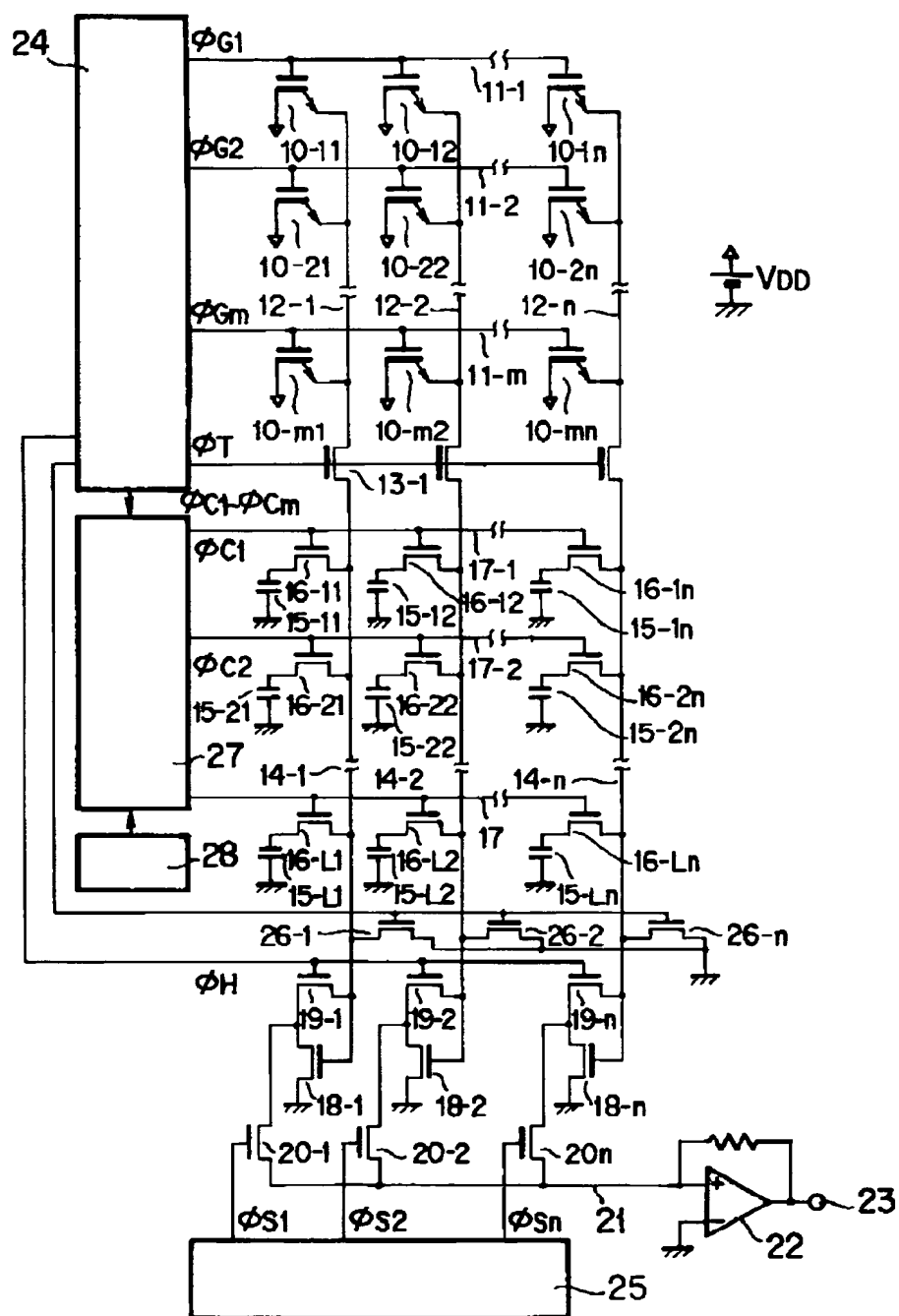
【図10】



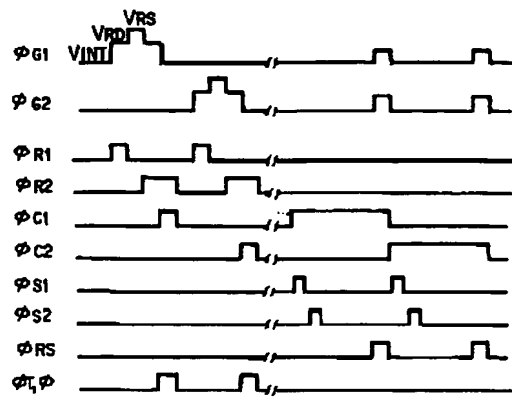
【図1】



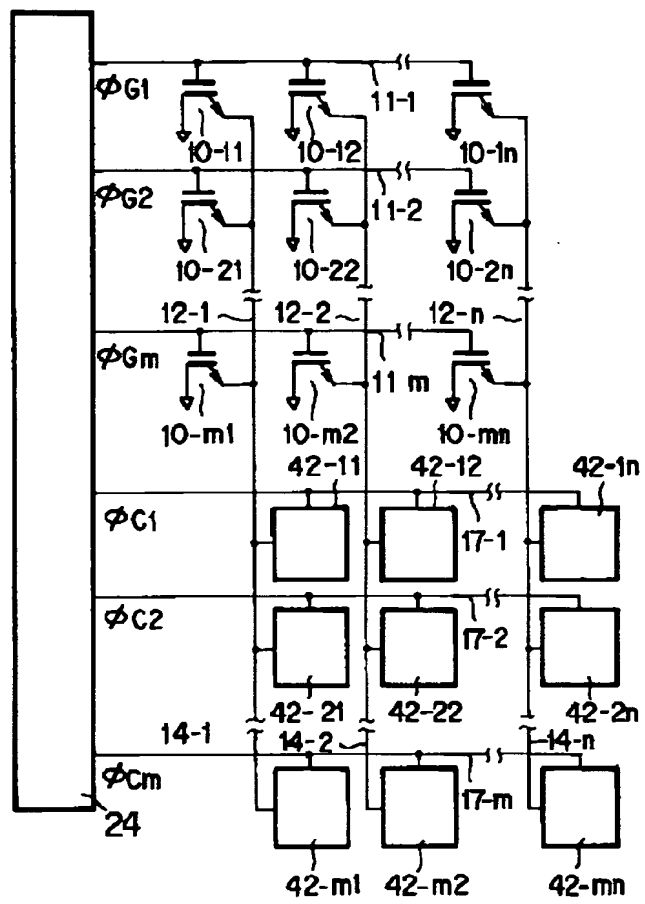
【図3】



【図6】



【図7】



【図9】

